

StarRC

寄生抽出

概要

StarRC は EDA 業界の業界標準・寄生抽出ソリューションです。シノプシスの Galaxy デザイン・プラットフォームを構成する主要ツール StarRC は、システムオンチップ (SoC)、カスタム・デジタル、アナログ/ミックスドシグナル (AMS)、メモリー IC デザインに対して実シリコン精度の高性能な抽出ソリューションをご提供します。StarRC は 28nm を含む最先端のプロセス・テクノロジーで必要となる高度な物理現象のモデリングをサポートしています。業界標準のデジタル/カスタム・インプリメンテーション・システム、タイミング、シグナル・インテグリティ、電力、フィジカル・ベリフィケーション、回路シミュレーションなどのフローとシームレスに統合することで抜群の使い勝手と生産性を実現する StarRC は、デザイン・クロージャとサインオフ検証の早期達成に貢献します。

StarRC ソリューション

半導体プロセス・テクノロジーは過去 40 年間一貫して微細化を続け、その傾向は今も続いています。プロセス・ノードが進むとプロセス・ジオメトリが縮小するだけでなく、新しいデバイス構造の登場やメタル層の増加などもあり、新しい寄生効果が数百万も増えます。しかもデザインの大規模化と複雑化が急速に進行することで、寄生効果が信号のタイミング、ノイズ、電力に与える影響も大きくなっており、回路全体が寄生効果の影響を受けやすくなっています。テープアウトのスケジュールを満たしながらシリコン設計を確実に成功させるには、サインオフ精度を備え設計生産性の向上に寄与できる高度な寄生抽出ソリューションが必要です。また、寄生抽出ソリューションにはカスタム・デジタル/AMS からフルチップ・メモリーや SoC デザインまであらゆる設計用途に対応できる汎用性も要求されます。

シノプシスの StarRC は、高い抽出精度と抽出速度を両立した次世代のデジタルやカスタム LSI のインプリメンテーション/サインオフ向け寄生抽出ソリューションです (図 1)。数百社もの半導体企業に採用され、数千件の量産実績を誇る StarRC は、最先端プロセス・テクノロジーのデザインに対してサブ・フェムトファラッド精度の抽出テクノロジーを提供します。StarRC のこの高い精度は、ナノメータ・プロセス・テクノロジーにおけるデバイスとインターコネクットの寄生効果を詳細にモデリングすることによって実現しています。こうした高度なモデリング機能と高い精度に加え、StarRC は Rapid3D テクノロジーも内蔵しており、さらに高いフィールド・ソルバー精度を要求する回路にも対応できます。

StarRC は、ゲートレベル/トランジスタレベル・デザイン向け抽出ソリューションとして業界最高水準のパフォーマンスとキャパシティを実現しています。StarRC のマルチコア分散プロセッシング・テクノロジーは卓越したスケーラビリティを発揮し、お客様が所有するハードウェア資源の性能を最大限に引き出します。また StarRC は、業界をリードするシノプシスのフィジカル・インプリメンテーション・ソリューション IC Compiler や、業界標準サインオフ・ツール群 PrimeTime ファミリー、ミックスドシグナル・インプリメンテーション・ソリューションの Galaxy Custom Designer、フィジカル検証ソリューションの IC Validator、回路シミュレーション・ソリューションの CustomSim をはじめ、他社製のインプリメンテーション/サインオフ・ツールともシームレスに統合でき、デザインのインプリメンテーションとベリフィケーションを飛躍的に加速します。

StarRCファミリーには、StarRC Custom、StarRC、StarRC Ultraの3種類のツールが用意されています（図2）。StarRC Customは高精度なカスタムAMS/デジタル・デザイン向け、StarRCはフルチップのゲートレベル/トランジスタレベル・デザイン向けの抽出ソリューションです。StarRC Ultraは高度な解析フローに対応したハイエンドの抽出機能を備えています。

利点

- ▶ 業界最高水準のパフォーマンスとスケーラビリティで抽出処理を高速化する柔軟なマルチコア・テクノロジー
- ▶ 高度なプロセス・モデリング、業界最多のファウンドリ認定、実績あるサブ・フェムトファラッド精度によりデザインの予測可能性が向上。65nm～28nmの最先端プロセス・ノードにおけるモデリングの課題を解決するため、大手ファウンドリの多くがStarRCを採用
- ▶ 業界標準となっているRaphael NXTエンジンをベースに開発し、20倍の高速化を実現したRapid3D高速フィールド・ソルバー・テクノロジーの内蔵により、クリティカルなIPやカスタム回路に対する高精度な抽出にも1つのStarRC環境で対応
- ▶ 回路シミュレーション・ソリューション CustomSimや業界をリードするサインオフ・フィジカル検証ツールとの統合により、シミュレーション検証を加速
- ▶ シノプシス Galaxy Custom Designerとケイデンス社のVirtuoso®などのカスタム設計ソリューションとの統合により、カスタム設計の生産性が向上
- ▶ タイミング・サインオフ・ツール PrimeTimeとのバイナリ交換フォーマットへの対応や、シノプシス IC Compilerと他社製インプリメンテーション・システムのシームレスな統合により効率が向上し、設計サイクルが短縮

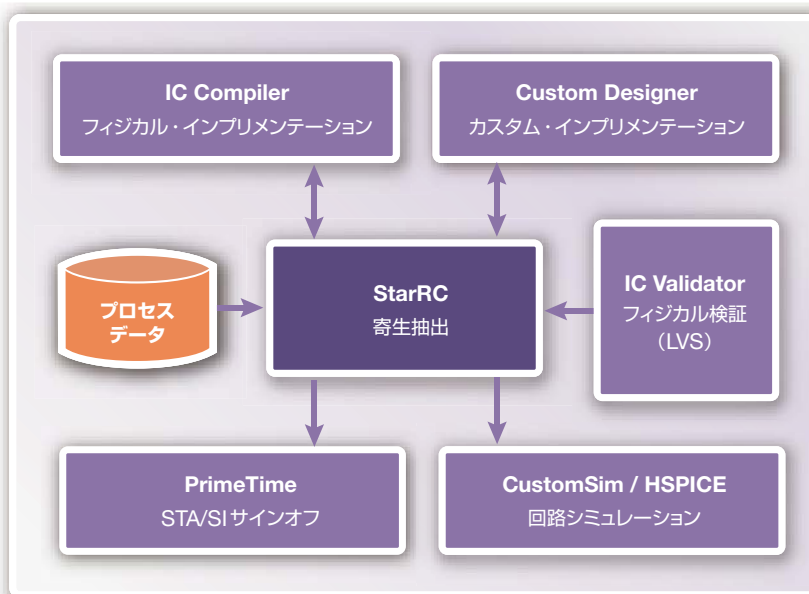


図1：ゲートレベル/トランジスタレベル・デザインとカスタムICデザインに対応した次世代の寄生抽出ソリューション StarRC

| 寄生抽出機能 | StarRC Custom | StarRC | StarRC Ultra |
|------------------------------------------------|---------------|--------|--------------|
| マルチコア・プロセッシング | ✓ | ✓ | ✓ |
| 28nmを含む最先端のプロセス・モデリング | ✓ | ✓ | ✓ |
| デバイスのコンテキストを考慮した寄生抽出 | ✓ | ✓ | ✓ |
| 高速かつ高精度な抽出をサポートするフィールド・ソルバーを内蔵 | ✓ | ✓ | ✓ |
| マルチコーナー/温度感受性抽出 | ✓ | ✓ | ✓ |
| 回路シミュレーション・ソリューションCustomSimとの統合 | ✓ | ✓ | ✓ |
| カスタム・レイアウト環境との統合 | ✓ | ✓ | ✓ |
| 大規模なトランジスタレベル・デザインに対応した階層型抽出 | | ✓ | ✓ |
| フルチップのトランジスタレベル/ゲートレベル抽出 | | ✓ | ✓ |
| フィジカル・インプリメンテーションとのインターフェイス (Milkyway、LEF/DEF) | | ✓ | ✓ |
| PrimeTimeとのバイナリ・インターフェイスによる生産性向上 | | ✓ | ✓ |
| フィーチャー・スケール (モデルベース) のCMP抽出インターフェイス | | | ✓ |
| バリエーションを考慮した抽出 (統計的ランダム・プロセス・バリエーション) | | | ✓ |

図2：デザインの種類に応じて柔軟な製品構成が用意されたStarRC

マルチコア・プロセッシング

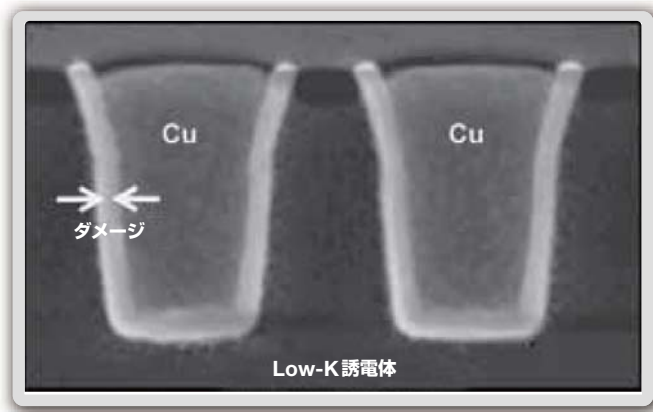
生産性向上に対するニーズの高まりとともに、最近ではマルチコア・プロセッサのコンピューティング環境の活用が一般的となっています。設計ジョブも、大半がマルチコア・マシンで構成されるコンピューティング・ファームで実行されているため、LSI設計者の間ではハードウェア・ネットワークの性能を最大限に引き出せるツールが求められています。StarRCは、一般的な商用グリッド・コンピューティング管理ソフトウェアとシームレスに連携する柔軟なマルチコア・テクノロジーを採用しており、マルチコア・プロセッサやマルチプロセッサ・コンピューティング・ファーム全体の効率が最大化するなど、ハードウェア資源の性能を存分に引き出せます。また、StarRCはCPUコア数に応じたスケーラブルな性能向上が可能で、たとえば8コアなら最大6倍に処理が高速化します。このほかのマルチコア・プロセッシング機能として、セットアップが簡単なコンピューティング・リソース割り当て、複数コアへの自動デザイン分割、負荷分散 (ロード・バランス)、サーバー環境の耐障害性を高める自動障害リカバリーなどの機能が用意されています。

高度なプロセス・モデリング

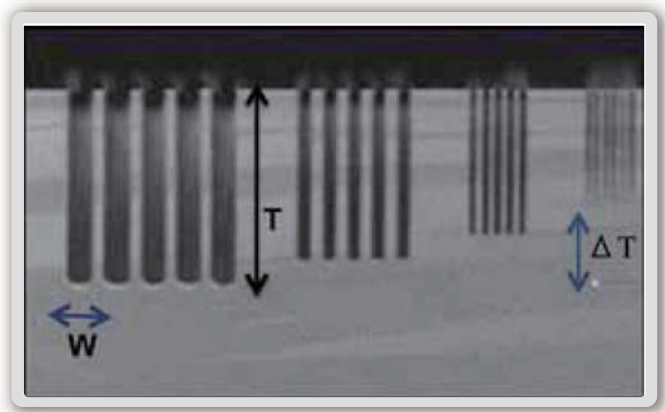
プロセス・テクノロジーの世代が新しくなるたびに増加するプロセス・バリエーションと寄生効果は、設計上の大きな課題になりつつあります。高度なプロセス・テクノロジーでは、かつては2次的要素とみなされていた各種の物理的効果が、回路動作に影響を与える1次的要素になっているため、正確なモデリングによって、シリコンの障害とイールドの低下を抑える必要性が増えています。StarRCは、より微細なジオメトリでの複雑な物理的効果をモデル化し、デザイン内のあらゆる容量性相互作用に対応することで、最先端プロセス・ノードに対する高精度な抽出ソリューションをご提供しています。一般的なデザインでは数百万の寄生容量が抽出されますが、StarRC独自の寄生削減機能によってサブ・フェムトファラッド精度を維持したままサイズを最小限に抑えたネットリストが出力されます。

StarRCにはナノメータ・プロセスに対応した機能として、バリエーションを考慮した寄生抽出、リソグラフィーを考慮した抽出、CMP (化学機械研磨) ベースの厚みバリエーション抽出などが用意されています。また45nm以降のデザインでは、マイクロ・ローディング効果 (導体の幅に対する下部厚みのばらつき) やLow-K誘電体のダメージがキャパシタンスに与える影響が大きくなると問題になりますが、StarRCにはこれらの効果を正確にモデリングする機能があり、抽出とタイミングの精度が向上します (図3a、3b)。

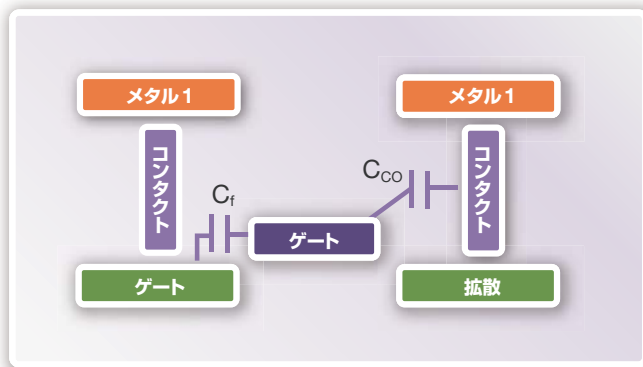
プロセス・ジオメトリの微細化が進むほど、デバイス寄生が回路動作に与える影響は大きくなり、トランジスタレベル回路の場合はそれが特に顕著になります。たとえば、ゲート/コンタクト間のキャパシタンスの場合、Miller効果によりデバイス・パフォーマンスへの影響が増大します。高度なノードでは、デバイス寄生が「レイアウト上の前後関係、周辺関係に固有」のものになりつつあります。つまり、レイアウト環境の影響を受けやすくなり、高い抽出精度を求められます。StarRCは、



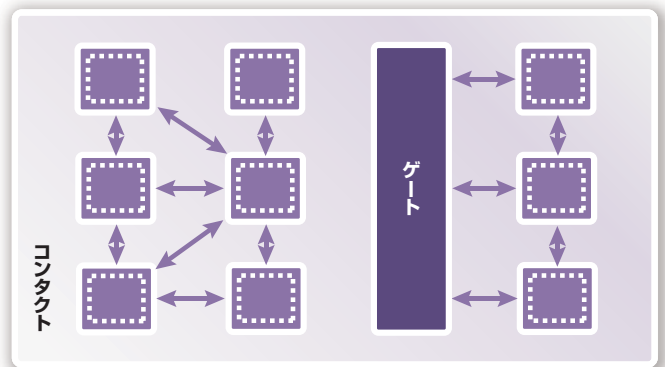
(a) Low-K誘電体のダメージのモデリング



(b) マイクロ・ローディング効果のモデリング



(c) ゲート/コンタクト間、ゲート/拡散間のキャパシタンス



(d) コンタクト・エッチ・モデリング

図3：サインオフ精度を実現したStarRCの高度な配線/デバイス寄生モデリング

コンタクト・エッチング効果や、ゲート/コンタクト間とゲート/拡散間のフリンジ・キャパシタンスなど、デバイス・レベルの効果を正確にモデル化し抽出して、高いサインオフ精度を発揮します（図3c、3d）。

高い精度と速度を両立したフィールド・ソルバー抽出

クロック・ネットワーク、メモリー、AMS/RF、高速デジタル、スタンダード・セル、その他のIPデザインなど、タイミング・クリティカルな回路の場合、精度は譲れない設計基準です。通常、このようにクリティカルなIPや回路を設計する場合はフィールド・ソルバ・レベルの精度と短TATの両立が求められます。StarRCにはRapid3Dテクノロジーに基づいた3D高速フィールド・ソルバー抽出機能があり、高精度な抽出を効率よく実行できます。Raphael NXTエンジンをベースに開発された新しいRapid3Dテクノロジーは、最新のフィールド・ソルバー・アルゴリズムを採用することで、Raphaelと同じゴールド・スタンダード精度を維持しながら20倍高速な3D抽出を実現しています。

内蔵のRapid3Dテクノロジーは、StarRCのメイン抽出エンジンであるScanBandテクノロジー（詳細は「抜群のフルチップ・パフォーマンスとキャパシティ」で後述）を補完するもので、クリティカルな回路の自己キャパシタンス/相互キャパシタンスの3D抽出に対応します。ユーザーは、特に高い精度での寄生容量抽出が必要なネットをStarRC環境内にリスト形式で指定します。StarRCは通常のフローでネットを抽出するとともに、ユーザーが指定したネットについてはフィールド・ソルバー・テクノロジーを利用して抽出を実行し、デザインのサブセットを作成します。ネットリストは、高精度なフィールド・ソルバーで抽出したネットをマージした形で出力されます（図4）。

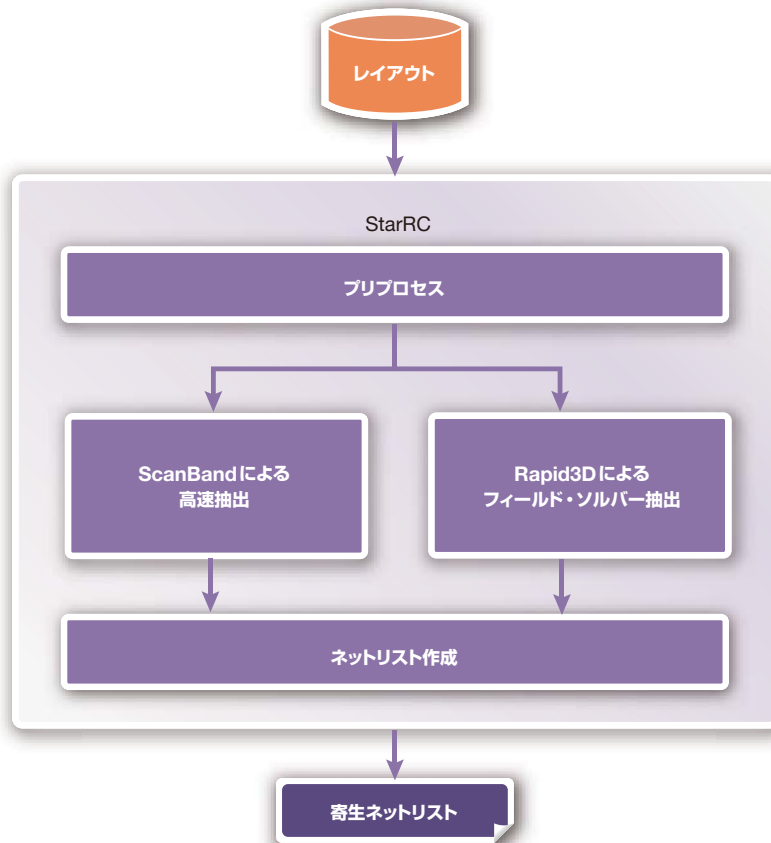


図4：StarRCには高速フィールド・ソルバー抽出エンジンが内蔵されており、1つの抽出環境でクリティカルなIPに対する高精度な抽出もサポート

マルチコーナー / 温度感受性抽出

プロセス・バリエーションが大きくなり、デザインが複雑になるにつれて、サインオフを確実に成功させるためにマルチコーナー解析が多用されるようになってきています。たとえば、設計仕様を満たすためにはセットアップ、ホールド、シグナル・インテグリティ解析に複数のインターコネクト・コーナーが必要となります。StarRCには1回の実行で複数のコーナーを抽出し、下流の検証ツール用に複数のネットリストを生成する機能があるため、生産設計性が向上します。

プロセス・バリエーション以外に、ダイ温度のばらつきも配線抵抗（すなわち回路の性能や機能）に大きな影響を与えます。StarRCには温度感受性を効率的に抽出する機能があり、複数の温度コーナーのサインオフが求められる場合にも対応できます。StarRCは温度を変動値ととらえ、温度軽減パラメータを下流ツールで使用できるように抽出後のネットリストに書き込みます。同じプロセス・コーナーにおける温度ばらつきの抽出については標準のプロセス・テクノロジー・データを使用するため、異なる温度ごとに抽出を行う必要がなく、抽出時間がほぼ100%向上します。

回路シミュレーション・ソリューション CustomSim との統合

プロセス世代が新しくなるたびに、ポストレイアウト・シミュレーションの実行時間は2～4倍に増加しています。シミュレーションを高速化し、テープアウトのスケジュールを満たすには、より正確で効率的な寄生抽出が欠かせません。StarRCは、業界をリードする回路シミュレーション・ソリューション CustomSim や、シノプシスの幅広い革新的機能とシームレスに統合することにより、サインオフ精度を維持しながらシミュレーションのパフォーマンスとキャパシティを高めます。CustomSim に対する StarRC 独自のインターフェイスとしては、アクティブ・ノード抽出、階層型バック・アノテーションを利用したポストレイアウト・アクセラレーション、パワー・ネットワーク最適化が挙げられます。2つのツールの統合により、カスタムIC/メモリー設計でのシミュレーションのパフォーマンスが10倍以上高速化します。

型の抽出なら寄生抽出処理の時間を短縮できます。また、トップダウンまたはボトムアップ式の階層型設計やシミュレーションが適した設計メソッドを採用している場合も、階層型抽出が効果を発揮します。StarRCの階層型抽出機能は大容量のシグナル/パワー・ネット解析に最適化した階層型寄生データを提供し、フラット型抽出テクノロジーを補完する役割を果たします。

PrimeTime とのバイナリ・インターフェイス

最先端プロセス・ノードを使用した大規模なSoCデザインでは、寄生ネットリストのサイズとタイミング・サインオフ解析の実行時間が設計者にとって大きな問題となります。数百万ネット規模のデザインでは、抽出した寄生ネットリストのサイズが数GBに達することも珍しくなく、寄生データの読み出しと解析にかかる時間が非常に長くなります。StarRCは、業界をリードするシノプシスのタイミング・サインオフ・ツール PrimeTimeと共通のコンパクトなバイナリ寄生フォーマットSBPF (Synopsys Binary Parasitic Format) をサポートしています。SBPFバイナリ交換フォーマットはSPEFと同等の電気的データと接続データを記録しつつ、寄生ネットリストのサイズは最大で1/15に縮小されます。このため、PrimeTimeのサインオフ精度を維持しながら、寄生データの読み込み時間を最大で80%短縮できます。

抜群のフルチップ・パフォーマンスとキャパシティ

StarRCは優れた抽出テクノロジーによって抜群の処理速度を実現しています。従来の抽出ツールは、1つのポリゴンを数回解析しなければすべての容量性カップリングを抽出できませんでした。このため、それほど高精度な解析でなくてもメモリー内に大量のデータが格納され、パフォーマンスが大幅に低下するという問題がありました。

これに対し、StarRCに搭載されたシノプシス独自のScanBandプロセッシング・テクノロジーは1回のポリゴン解析だけで高精度な寄生抽出を実行できるため、メモリーに格納されるポリゴンのデータ量も少なく済みます。ScanBandテクノロジーの採用により、StarRCでは数百万インスタンス（最大1千万インスタンスまで）の大規模なデザインも標準的な8～16GBのメモリー搭載量のマシンを使って1晩で抽出が行えます。

バリエーションを考慮した抽出

プロセス・テクノロジーの微細化に伴い、クリティカルなデバイスと配線のプロセス・パラメータのばらつきによるパラメトリック・イールドが歩留まり低下の主因となっています。シリコン歩留まりの予測可能性を高めるには、プロセス・バリエーションを正確にモデリングできる抽出ツールが必須となります。しかも不確実性が大きくなるにつれて、複数のプロセス・テクノロジー・ファイルを必要とする従来のコーナーベースのメソッドや、抽出とシミュレーションを何回も実行するといった時間のかかる方法は通用しなくなりつつあります。こうしたプロセス・バリエーションの影響をモデリングするには、統計的アプローチが必要となります。

StarRCには感受性ベースの寄生抽出をサポートした高度な統計的ソリューションが用意されており、配線のプロセス/温度ばらつきを考慮した設計が可能になります。導体や絶縁体の厚さなど、各プロセス・パラメータのばらつきに関する情報はバリエーションを考慮したプロセス・テクノロジー・ファイルを通じて提供され、これを使用して各プロセス・バリエーションに基づいた寄生値の感受性を計算します。

リラクタンス（インダクタンス）抽出

抵抗（デバイス抵抗と配線抵抗の両方）が小さくなり、動作周波数が高くなるとインダクタンスの影響がより顕著になります。周波数が低ければインダクタンスを無視したRCモデリングで十分です。しかしクロック周波数が高くなるとRC回路などグローバル配線のモデリングだけでは不十分で、インダクタンスを含めたモデリングが必要になってきます。インダクタンスの影響を無視しては、シグナル・インテグリティの問題を正しく評価できません。

StarRCは、パーシャル・リラクタンス抽出と呼ばれる画期的な方法でオンチップ・インダクタンスの影響をモデリングします。リラクタンスとはインダクタンスの逆数です。リラクタンスの影響はキャパシタンスに似て局所的であり、インダクタンスに比べるとはるかに疎な行列となります。この性質を利用して、StarRCは精度を犠牲にせずネットリストのサイズを最小限に抑えることに成功しており、全体的な抽出とシミュレーションの時間が数桁短縮されます。

その他の主な機能

プロセス・モデリング

- ▶ リソグラフィ認識抽出
- ▶ ビア・エッチングのモデリング
- ▶ 高度なOPC効果のモデリング
- ▶ CMPシミュレータとのインターフェイス
- ▶ 幅やスペーシングに依存した厚みバリエーション
- ▶ 密度に基づく厚みバリエーション
- ▶ 複数の密度に基づくバリエーション
- ▶ 幅やスペーシングに依存したRPSQバリエーション
- ▶ シリコン幅に基づくRPSQバリエーション
- ▶ 非線形のRPSQバリエーション
- ▶ 台形ポリゴンのサポート
- ▶ 銅製インターコネクタ、ローカル・インターコネクタのモデリング
- ▶ Low-K誘電体、シリコン絶縁体 (SOI) のモデリング
- ▶ 等角誘電体プロセスのサポート
- ▶ Air Gapのサポート
- ▶ ビア・キャップ抽出
- ▶ レイヤ・エッチング
- ▶ 導体層とビアに対する温度に依存した抵抗モデリング
- ▶ バックグラウンド誘電体のサポート
- ▶ 非線形ビア抵抗のモデリング
- ▶ 45度ルーティングのサポート
- ▶ 複数の層間/層内誘電体のサポート
- ▶ 相互に垂直な導体のサポート
- ▶ 平坦化されていないメタルのサポート

生産性と操作性

- ▶ インクリメンタル抽出
- ▶ 階層型LVS/ADP抽出フロー
- ▶ アクティブ・ノード抽出

- ▶ 選択的なデバイス寄生処理
- ▶ 柔軟な寄生削減
- ▶ 自動パワー・ネット抽出最適化 (TARGET_PWRA)
- ▶ 透過的なシミュレーション・セットアップ
- ▶ ライセンス・キューイング
- ▶ ユーザー制御による寄生ネットリストの削減
- ▶ 各種アプリケーションに対応した複数の削減モード

仕様

サポートするファイル形式

以下の業界標準フォーマットとインターフェイスをサポートします。

- ▶ レイアウト・データ: GDSII、LEF/DEF、Milkyway、IC Compiler、IC Validator、Hercules、Calibre
- ▶ 出力形式: DSPF、SPICE、SPEF、SBPF、SSPEF
- ▶ バイナリ・インターフェイス: PrimeTime SIとのダイレクト・バイナリ・インターフェイス (SBPF)

システム要件

- ▶ DRAM: 512MB以上。1GBを推奨
- ▶ スワップ容量: 512MB以上。2GBを推奨
- ▶ インストール・ディスク容量: 基本の250MBに加えて、プラットフォームごとに250MB
- ▶ 設計ディスク容量は回路のサイズによって異なるが、500MB以上を推奨

プラットフォーム/OS

- ▶ IBM RS/6000 AIX (64)
- ▶ SPARC Solaris (32)
- ▶ SPARC Solaris (64)
- ▶ x86 Solaris (32)
- ▶ x86 Solaris (64)
- ▶ x86 Red Hat Enterprise (32)
- ▶ x86 Red Hat Enterprise (64)
- ▶ x86 SUSE Enterprise (32)
- ▶ x86 SUSE Enterprise (64)

SYNOPSYS®
Predictable Success

日本シノプシス合同会社

〒140-0014 東京都品川区大井1-28-1 住友不動産大井町駅前ビル
〒531-0072 大阪府大阪市北区豊崎3-19-3 ピアスタワー13F

TEL.03-5746-1500(代) FAX.03-5746-1550
TEL.06-6359-8139(代) FAX.06-6359-8149