

DC Ultra

Design Compiler Ultra

概要

クラス最高の実証済RTL合成ツールDesign Compiler Ultra (DC Ultra)は、最速のタイミング、最小の面積、最小の消費電力、そして最高のテスト・カバレッジを最短期間で実現するという、現在の設計者が直面している課題に対応します。DC Ultraは、独自のアルゴリズムをコンカレントに適用することにより、タイミング、面積、パワーおよびテスト性を最適化します。

合成テクノロジーは、常にDesign Compilerとともに進化し続けてきました。そしてシノプシスは今、さらなる進化として、RTL合成における最新の技術革新—Design Compilerトポグラフィカル・テクノロジーを提供します。Design Compilerトポグラフィカル・テクノロジーは、コスト高につく論理合成工程とレイアウト工程の繰り返し作業をなくし、設計結果予測性の高い設計フローを実現することにより、開発期間の短縮を可能にします。ワイヤーロード・モデルをベースとした予測を行わずに、RTL合成時に実レイアウト後のタイミング、消費電力および面積を正確に予測できるようになりました。

主なメリット

- 面積、タイミング、パワーおよびテスト性において最高の結果品質 (QoR) を実現
- フィジカル・インプリメンテーションとの相関性を確保
- 高速クリティカル・パスを作成することによって、タイミングのボトルネックを解消
- 設計者が回路の特定部分の最適化を制御できる高い柔軟性を提供
- 自動チップ合成 (ACS : Automated Chip Synthesis) 機能による分散合成
- スタティックタイミング解析、テスト合成、およびパワー合成の統合により、高い設計効率を実現
- 多電圧/多電源設計をサポート

DC Ultraは、低消費電力設計ツールPower Compiler、IPライブラリDesignWare、スタティックタイミング解析ツールPrimeTime、およびテスト合成ツールDFT Compilerから構成されるシノプシスの包括的なRTL合成ソリューションの中

核となるツールです。業界をリードするDC Expertの合成エンジンをベースとしたDC Ultraは、DC Expertのすべての機能に加えて、独自のメリットを提供します。

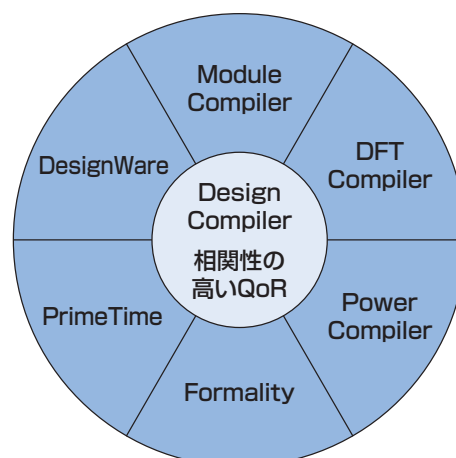


図1：業界で最も包括的な合成ソリューション

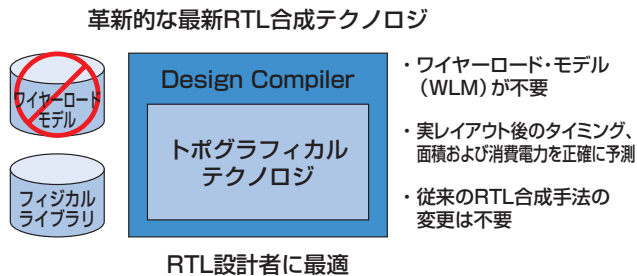


図2：革新的な最新RTL合成テクノロジー
ー トポグラフィカル・テクノロジー

DC Ultraの主要な機能

トポグラフィカル・テクノロジー最新の革新的な合成機能
革新的な最新RTL合成機能であるトポグラフィカル・テクノロジーは、ワイヤロード・モデルを必要とせずに、論理合成後と実レイアウト後のタイミング、面積および消費電力に正確な相関性をもたらします。RTL設計者向けに開発されたトポグラフィカル・テクノロジーは、フィジカル設計の専門知識を必要とすることもなく、従来のRTL合成手法を変更する必要もありません(図2)。DC Ultraでは、この革新的な「トポグラフィカル・テクノロジー」により、レイアウト後のタイミングと面積が正確に予測されます。RTL設計者は、RTL合成の段階で実際のデザインの問題を解決し、フィジカル設計にとってより適切なスタート・ポイントを作成できるため、開発コストの増加要因となる繰り返し作業も不要になります。これによりRTL設計者の生産効率は大幅に向上します。トポグラフィカル・テクノロジーは、Galaxyデザイン・プラットフォームのフィジカル設計ツールと統合されているため、スムーズで収束性の高いRTL to GDSIIフローを構築できます。

先進の演算最適化機能

データパス設計を含む回路の合成において、DC Ultraは画期的なデータパス最適化アルゴリズムによりデータパスの合成に要する実行時間を短縮し、タイミングと面積において優れた結果品質を提供します。これらの機能により、DC Ultraは

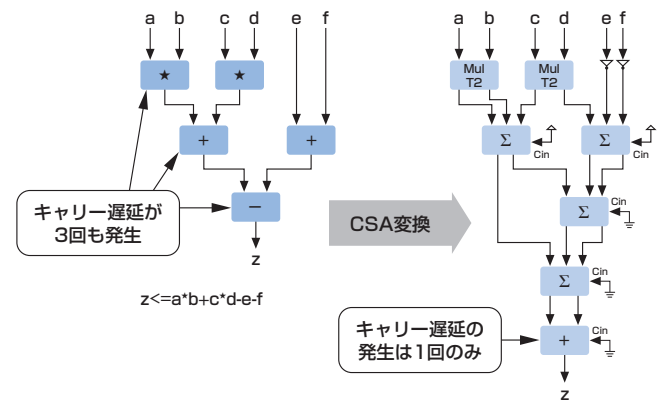


図3：積和からキャリー・セーブ・アダダ (CAC) ツリーへの変換

HDLに含まれる演算ツリーを識別、キャリーセーブ演算テクニックを使用してツリーを最適化して、キャリー伝搬による性能と面積への影響を最小限に抑えます(図3)。

論理合成ユーザーは、DC Ultraで提供されている優れたデータパス合成機能を利用し、DesignWare演算コンポーネントをさらに最適化することもできます。

強力なクリティカル・パス合成

DC Ultraは、合成プロセス全体を通して様々な最適化アルゴリズムを使用し、クリティカル・パスのタイミングを大幅に改善します。例えば、初期テクノロジー・マッピングの直後では、まだ詳細なゲートレベル最適化が済んでいません。DC Ultraは、この段階で、タイミングを厳格に重視した再構造化、マッピング、およびゲートレベル最適化を実行します。その結果、以降の詳細なゲートレベル最適化では、タイミング・ベース構造全体が改善されます。また追加的手段を講じることによって、ゲートレベル最適化全体を通して、設計のクリティカル・パスの遅延が改善されます。例えば、ロジックの複製によって、クリティカル・パスの負荷を削減します(図4)。DC Ultraは、ロジック複製においてクリティカル・パスの大きなサブ・セクションを探し、多くのゲートを複製することによってファンアウト数の多いネットの負荷を削減して、負荷分離によってクリティカル・パス上のタイミングを

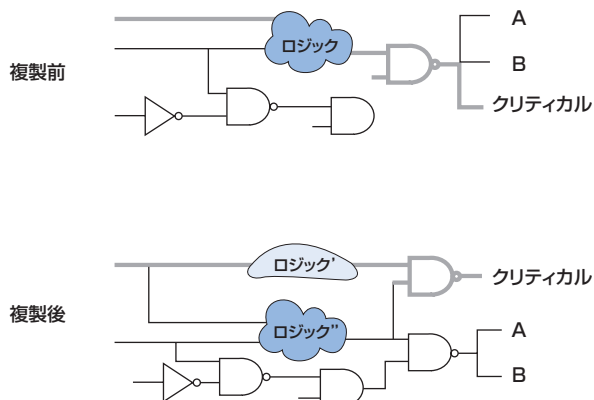


図4：DC Ultraはロジック複製によってクリティカル・パスによる負荷を削減し、タイミングを大幅に削減

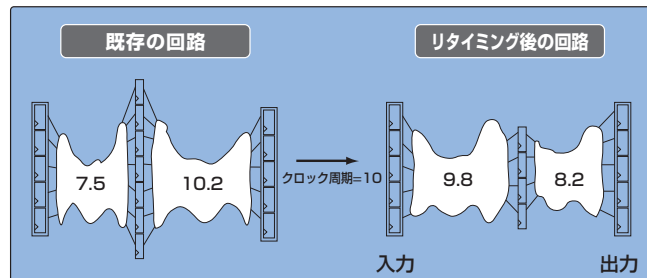


図5：レジスタによるデザイン・リタイミング

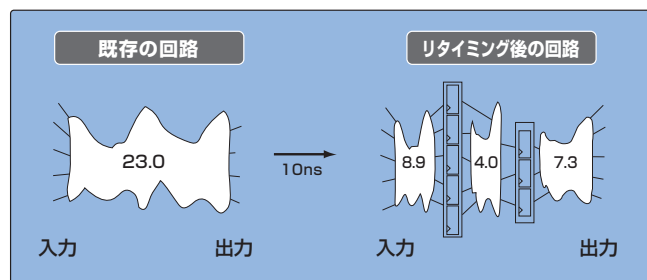


図6：組み合わせロジックによるリタイミング

改善します。DC Ultraは、面積とタイミングの結果を改善するために、クリティカル・パスに基いて論理構造を自動的に展開します。また、トータル・ネガティブ・スラック (TNS) を改善するためにファンアウト数の多いネットをバッファリングすることも可能です。

DC Ultraのマッピング・アルゴリズムは、セル・グループをクリティカル・タイミングパス上の幅広いファンイン・ライブラリ・セルにマッピングして、ロジックレベル数とセル・インスタンス数を削減します。この結果、タイミング、面積、および消費電力が改善されます。

レジスタ・リタイミング

レジスタ・リタイミングにより、RTL設計の結果品質がさらに改善されます。レジスタ・リタイミングでは、すでにレジスタが含まれている設計において、ロジック境界を越えてレジスタを移動することにより、面積への影響を最小限に抑えつつ、順序ロジックを最適化します (図5)。I/O境界位置では、同じ機能が保存されます。レジスタ・リタイミングでは、使用する純粋な組み合わせ回路にパイプライン・レジスタを挿入することにより、面積を削減しつつ、性能条件を改善します (図6)。レジスタ・リタイミングとデータパス最適化アルゴリズムを併用することにより、最速の演算パイプラインが得られます。

合成コスト関数優先度および最適化ステップの優れた制御

DC Ultraでは、厳しいタイミング条件を満たすよう、最適化を詳細に制御することができます。DC Ultraで初期設定されているコスト関数は、タイミングおよび面積の制約条件よりも設計ルールを優先させます。適切な優先度を設定することにより、設計にとって最適な結果品質を達成するように合成を制御することができます。またDC Ultraでは、最適化を詳細に制御するための合成ディレクティブを使用できます。合成ディレクティブを使用すると、DC Ultraの標準的な実行仕様を変更できます。例えば、特定の構造を使用して、すでにパス上でセルをインスタンス化してあるとします。この場合、Design Compilerにより、構造全体を変更せずにサイズ変更や局所的な最適化を行ってタイミングを改善するためには、ロジックのグローバル構造化を無効にしつつ、ゲートサイズ変更を有効に設定します。

サポートしているネットリスト・フォーマットと インターフェイス

DC Ultraは、一般的な業界標準フォーマットをすべてサポートしています。

回路ネットリスト：

Verilog、SystemVerilog、VHDL

コマンド・スクリプト：

dcsh、TCL

インターフェイス：

PLI、SDF、PDEF、SDC

プラットフォーム：

HP-UX (32および64ビット)

IBM AIX (32および64ビット)

Redhat Linux (32および64ビット)

Sun Solaris (32および64ビット)

まとめ

DC Ultraは、今日の設計手法の中でクラス最高の結果品質を提供する合成ソリューションです。ユニークで包括的な最適化アルゴリズム、トポグラフィカル・テクノロジーによるフィジカル設計との相関性の高いQoR、強化されたユーザー制御能力、および無数の成功実績が示すとおり、DC Ultraはあらゆる設計ニーズに応える最高の合成ソリューションです。

詳しい情報

DC Ultraの詳細につきましては、日本シノプシス(株)のホームページ<http://www.synopsys.co.jp>をご覧ください。弊社までお問い合わせください。

SYNOPSYS®

Predictable Success

日本シノプシス株式会社

〒140-0014 東京都品川区大井1-28-1 住友不動産大井町駅前ビル TEL.03-5746-1500(代) FAX.03-5746-1550

〒531-0072 大阪府大阪市北区豊崎3-19-3 ピアスタワー13F TEL.06-6359-8139(代) FAX.06-6359-8149