

NanoSim

高速フルチップ回路シミュレータ

概要

NanoSimは、シノプシスの包括的なミックスドシグナル検証ソリューションであるDiscovery AMSの中核となるツールです。NanoSimは高性能トランジスタレベル回路シミュレータであり、アナログ/デジタル/ミックスドシグナル・デザイン検証のための解析ツールです。

高速なシミュレーション性能と数百万トランジスタのSoCに対応できるキャパシティ、そして90ナノメータおよびそれ以降の設計に対応した精度を提供する操作性に優れた強力なソリューションです。

主なメリット

90ナノメータおよびそれ以降の設計に対応した高い精度を提供

- SPICEと比較し桁違いに高いシミュレーション速度を実現
- 10億もの素子を含む512Mb DRAMなど、大規模メモリやSoC設計の検証に対応したキャパシティを提供
- 精度と性能のトレードオフが可能な柔軟性を提供
- シノプシスの寄生抽出ツールStar-RCXTとのシームレスな統合により、効率的なポスト・レイアウト・シミュレーションを実現
- 主要なすべてのSPICEネットリストとモデル・フォーマットをサポートしているため、どのようなメソッドロジにも対応
- 使い勝手の良いGUIをベースとした設定とシミュレーション環境で採用が容易
- 内蔵された包括的なタイミングと消費電力診断機能により、生産性を大幅に向上

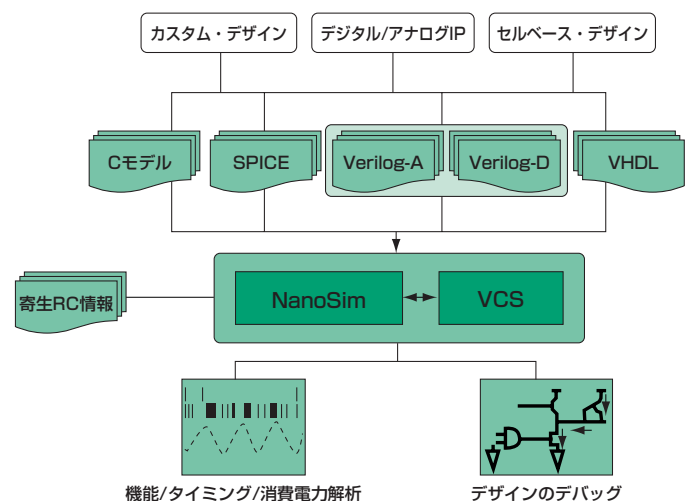


図1：NanoSimを用いたフロー

NanoSimのテクノロジー：業界をリードする

精度、性能、そしてキャパシティ

NanoSimは、クラス最高のシミュレーション・テクノロジーを備えており、多彩なタイミングとパワーの解析および診断を単体のツールで実行します。

NanoSim独自のテクノロジーが実現する主要な機能

- 高度な分割手法とデザインの同期化による演算並列処理
- イベントベースとタイムベースを組み合わせたシミュレーションにより、精度を犠牲にしない処理速度を提供
- トポロジの自動検出と最適なシミュレーション・モードの適用
- HSPICEと同じデバイス・モデルの採用により高精度を保証
- 電圧に依存するMiller効果、クロストーク解析、グラウンド・バウンス効果などディープサブミクロンの影響を正確にモデリング
- デジタル回路に使用されるPWLからSPICEライクな解析モードまで幅広いシミュレーション・モードを搭載
- DSPFまたはSPEFフォーマットの寄生情報の直接読み込みが可能
- LNSを利用した最先端のRC圧縮アルゴリズムにより、配線部での動作を維持し、またカップリング・キャパシタンスを保つことにより、レイアウト後のシミュレーションでも高い性能を提供

NanoSimは、SPICEシンタックスとのコンパチビリティと使用頻度が高いデバイス・モデルのダイレクトモードでのサポートによって、SPICEを補い、トランジスタレベル・シミュレーションを容易にします。

NanoSimは、以下のフォーマットをサポートしています。

- ネットリストの入力形式：
 - SPICE、Verilog HDL (gate level)、EDIF、LSIM、SPF、SPEF、SPECTRE、smartspice
- ステイミュラス：
 - .vec、Verilog HDLテストベンチ (VCSが必要)、HSPICEベクタ、VCD
- モデル：
 - BJT、BSIM 3.x、BSIM 4.x、MM905、JFET、MESFET、HVMOS*、VBIC、他 *spectre modelでのサポート
- キャラクタライズ済みテクノロジー・ファイルによる実行時間の短縮
- 出力形式：
 - .out、turboWave .fsdb、.psf、.wdbおよび他のディスプレイ・ツールへのカスタム出力のためのAPI (.wdf、.cou)

10億規模の素子を含むメモリの検証

NanoSimは、革新的なテクノロジーHierarchical Array Reduction(HAR)により大規模メモリの検証を可能にします。このアルゴリズムは、階層化データベースとシミュレーション手法の組み合わせにより、アクティブなメモリ領域を特定し、解析領域を削減します。このアルゴリズムを用いたシミュレーション結果の一例を図2に示します。

デザインの種類	素子数 Tr/R/C	CPUランタイム
12Gz PLL	320/1200/4000	8分
12ビットADC	32000/800/1500	2.1時間
ミックスドシグナル SoC	50M	3時間
DSP マイクロコントローラ	5M	3時間
4チャンネル ADCアレイ	550K/60K/46K	3時間

表1：NanoSimベンチマーク・データ

メモリの種類	素子数			CPUランタイム
	CMOS	レジスタ	キャパシタ	
256M DRAM	280M	7M	270M	2.4時間
10M SRAM	71M	365K	236K	21分
64K SRAM	562K	7.6M	7.3M	2.6時間

図2：HARパフォーマンス・テーブル

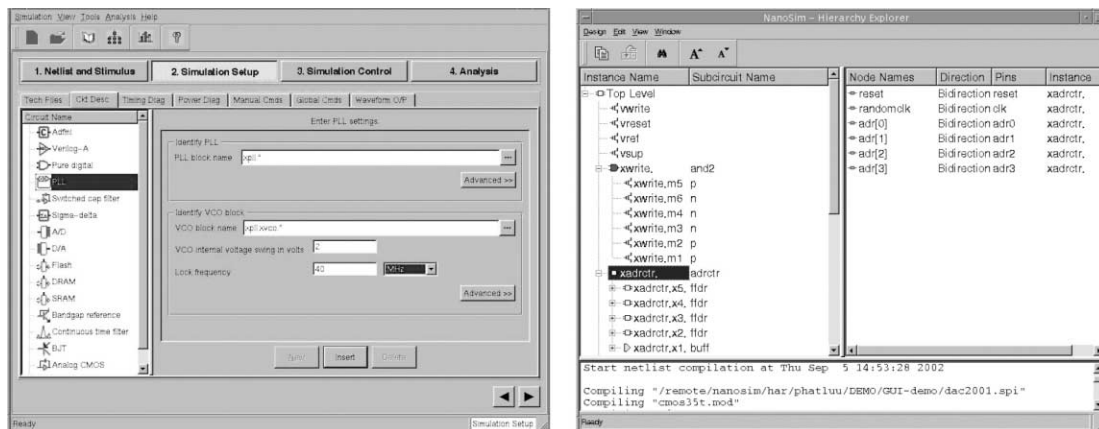


図3 : NanoSim Workbench GUI

ミックスドシグナルSoCの検証ソリューション

NanoSimは、Verilog HDL、Verilog-A、VHDL、SPICEおよびCの記述が混在するデザインのシミュレーションを可能にする柔軟性を備えた包括的なSoC検証ソリューションを提供します。これは、シノプシスのRTLシミュレーション・プラットフォームVCSとのダイレクト・カーネル・インテグレーションと、IEEE1364標準のVerilog-AおよびCベースのAPIであるAnalog Digital Functional Modeling Interface (ADFMi) のハイレベルの動作モデリング言語のビルトイン・サポートにより実現します。

このソリューションによる主なメリットは、

- ビヘイビアレベル、RTL、またはゲートレベルのモジュール、およびアナログ/デジタルのカスタムのブロックの、いかなる組み合わせにおいても、ゲートレベルの処理速度とトランジスタレベルの精度を組み合わせた解析を実行できる柔軟性を提供
- ロジックが任意に混在したSoCのアナログまたはトランジスタのモジュールを検証するために十分な性能、キャパシティ、そして柔軟性を提供
- 高い抽象度レベルで検証を行なうことにより、検証処理速度を最大で100倍向上
- デジタルとアナログ設計の相互関係を設計の早い段階で検証することにより、より優れたアーキテクチャとIP選択が可能
- ネットリストの変更なしで、ブロックをダイレクトにインスタンスできるPlug-and-playソリューション
- NanoSimとVCSのシミュレーション波形を単一のファイルに収め、表示する統合されたソリューション

- Verilog-AとC (ADFMi) で記述されたアナログ動作モデルの採用によるトップダウン設計検証
- 組み込みIPの容易な取り込みと検証。たとえば、SPICEのネットリストなどとVerilog IPでの解析

*VCSが必要です(別途ご購入ください)

設計のデバッグと解析：機能、消費電力、およびタイミングの診断

NanoSimは、診断およびインタラクティブなデバッグのための豊富な機能を装備しており、問題点を迅速に検出/分離することができます。以下に機能の一部を示します。

- 機能診断
 - ノードのトグルカウント、不定/不確定/スリーステート/未定義のノード、ノードおよび素子に対する過剰な電圧の印加のチェック(耐圧チェック)
- フルチップ、ブロックレベル、およびノードレベル解析
 - 平均、RMS、ピーク、および瞬間の電流値のレポート
 - 階層による電流および電力のレポート
- パワー解析
 - ダイナミック：ホットスポット、DCリークパス、過電流、高速変位のノードの検出
 - スタティック：ショートサーキット・パス、最大の立上がり/立下がり時間の検出
 - 消費電力見積り：ブロックおよびチップの各レベルでの平均、RMS、ピーク、および瞬間の電流値
- タイミング
 - ダイナミック：セットアップ、ホールド、パルス幅、エッジ間に対するタイミング・チェック

Plug-and-Playソリューション

NanoSimは、多様なネットリストとモデルの幅広いサポートのみならず、使い勝手の良い様々な機能の提供により Plug-and-Playソリューションを実現、設計フローへの導入が非常に容易です。

■直感的なGUIベースのWorkbench

- コマンド習得をせずに最適なシミュレーション設定が可能のため、導入に要する時間を短縮
- 階層エクスプローラによる複雑なネットリストのグラフィカル表示
- 設計タイプに基づいたシミュレーション設定を実現するコンフィグレーション・ウィザード
- GUIまたはバッチ・モードでのシミュレーションを実行

■シミュレーションの処理速度と精度のトレードオフを単独コマンドで実行

■複数のシミュレーションの実行を高速化するSave/Restore機能

■インタラクティブなデバッグ機能

■シミュレーション出力をカスタマイズするためのスクリプト記述をサポートする Tcl コマンドライン・インターフェイス

■すべてのサードパーティ製波形ツールとのインターフェイスを可能にする出力のカスタマイズ機能

サードパーティ・ツールのサポート

■ケイデンス社アナログ設計環境 (Analog Artist) : OASIS を使用したダイレクトなインテグレーション

■nWave : 波形ビューワ

オプション

Block Delay Calculator (BDC)

BDCはタイミング・キャラクタライズを支援するオプションで、組込みアプリケーション用のタイミングモデルを必要とするメモリ設計者に特に有効です。BDCコマンドを使用すれば、セットアップ/ホールドタイミングおよびピン間遅延のモデルをSDF形式で自動的に生成することができます。BDCは、設計検証でのタイミング収束の実現をサポートします。

プラットフォーム・サポート

NanoSimは電子ファイルまたはCD-ROMで提供され、以下のプラットフォームを完全にサポートしています。

■ Solaris 9 (32ビットおよび64ビット)

■ HP 11.00 (32ビットおよび64ビット)

■ IBM AIX 5.3 (32ビットおよび64ビット)

■ Linux 32ビット (Redhat Enterprise 3.0)

■ Linux 64ビット (IPF Enterprise 2.1、AMD Enterprise 3.0)

詳しい情報

NanoSimの詳細につきましては、日本シノプシス(株)のホームページ<http://www.synopsys.co.jp>をご覧ください。弊社までお問い合わせください。

SYNOPSYS®

Predictable Success

日本シノプシス株式会社

〒140-0014 東京都品川区大井1-28-1 住友不動産大井町駅前ビル TEL.03-5746-1500(代) FAX.03-5746-1550

〒531-0072 大阪府大阪市北区豊崎3-19-3 ピアスタワー13F TEL.06-6359-8139(代) FAX.06-6359-8149