

VCS

マルチコア対応の機能検証ソリューション

概要

VCSは、マルチコア・テクノロジーの採用により検証スピードが2倍に向上し、製品開発サイクルの早期に設計のバグを見つけることができます。VCSマルチコア・テクノロジーでは、デザインを分割してマルチコア搭載マシン上で並列に実行したり、テストベンチ生成、アサーション・ベース検証、カバレッジ解析、デバッグといった検証タスクを並列実行できるため、検証時間が短縮されます。優れたパフォーマンス、高度なバグ検出技術、内蔵のデバッグおよび表示環境、Verilog、VHDL、SystemVerilog、OpenVera、SystemC™など一般的な設計および検証言語への完全対応、定評あるVMMメソッドロジなどの特長を兼ね備えたVCSは、高品質なデザインの開発をサポートします。VCSは、フル機能ネイティブ・テストベンチ (NTB)、完全なアサーション・ベース検証、包括的コード・カバレッジおよび機能カバレッジ解析といった高度なバグ検出技術により、より多くのバグを迅速かつ容易に検出します。また、VCS検証ライブラリには現在の一般的なバス規格に対応した高品質な検証用IP (VIP) が用意されています。VCSの強力なデバッグおよび表示環境は、デザインに潜むバグの検出と修正に要する期間を最小限に抑えます。VCSとMVSIMおよびMVRCを組み合わせると、電圧を考慮した画期的な検証手法が可能になり、最新のローパワー・デザイン特有のバグも検出できます。

マルチコアへの対応

VCSマルチコア・テクノロジーでは、これまで長時間を要していた検証時間を短縮します。VCSは、デザインレベル並列処理 (DLP) とアプリケーションレベル並列処理 (ALP) をサポートしています。DLPでは、コアで実行する複数のインスタンスを並列検証したり、大規模デザインを分割して並列検証したり、それらを組み合わせると並列検証したりできます。ALPでは、テストベンチ生成や、アサーション・ベース検証、カバレッジ解析、デバッグを同時に実行できます。DLPとALPの組み合わせにより、VCSはマルチコアCPU上で最大限の性能を発揮します。また、VCSマルチコア・テクノロジーは、デザインレベルでの自動パーティショニングや、ファイルシステム・データベース (FSDB) ならびにSAIFフォーマットでのパラレル・ダンピングにも対応しています。

フル機能のネイティブなテストベンチと業界標準のSystemVerilogをサポート

VCSネイティブ・テストベンチ (NTB) は、SystemVerilogおよびOpenVeraが提供するオブジェクト指向性、制約に基づくランダム・スティミュラス生成、機能カバレッジといったフル機能テストベンチをネイティブ・コンパイル・サポートしています。複数のソルバー・エンジンがすべてのユーザー指定制約を同時に解析し、デザインのコーナーケース動作を検証するための高品質なランダム・スティミュラスを迅速に生成します。これらのソルバー・エンジンは、ユーザー制約に対し、制約条件の競合を最小限に抑え、検証効率を最大限に向上させる解を生成します。

完全なアサーション・テクノロジー

VCSのネイティブ・アサーション・テクノロジーでは、効率的にDFV (Design-for-Verification) 手法を活用することができます。SystemVerilogおよびOpenVeraアサーションの組み込みサポートにより、DFV手法の導入が容易になり、より短時間で多くのバグを検出することが可能になります。豊富なアサーション・チェッカ・ライブラリと独自のアサーションIPライブラリにより、複数のチームにわたるDFV手法の導入がさらに容易になり、検証品質も向上します。アサーションは、シミュレーションおよびフォーマル・プロパティ検証環境のニーズにお応えします。



図1：マルチコアへの対応

包括的なカバレッジ解析

VCSには、検証目標の達成度を数値化する高性能なカバレッジ解析テクノロジーが用意されており、コード・カバレッジ、機能カバレッジ、アサーション・カバレッジが包括的にサポートされます。この統合カバレッジ環境では、カバレッジのあらゆる要素が共通のデータベースに集約されるため、強力なクエリを実行して利用価値の高い統合レポートを生成できます。統合カバレッジ・データベースは、合算処理時間を1/2～1/5、ディスク使用量を最大1/2に改善できます。これは大規模なリグレッションテスト環境に有効です。

先進のデバッグ&表示環境

VCSには、新しい次世代のフル機能デバッグ/表示環境であるDiscovery Visualization Environment (DVE) が含まれています。DVEは、特にVCSのすべてのバグ検出テクノロジーを利用できるように設計開発されており、ウィンドウ・イメージと基本操作はシノプシスの他のグラフィカル解析ツールと共通です。DVEでは、直感的なドラッグ&ドロップ操作や、メニュー選択やアイコンをベースにした操作環境により、設計データおよび検証データに容易にアクセスすることができます。DVEのデバッグ機能には、ドライバのバック・トレース、波形の比較、回路図ビュー、パス表示回路図などがあり、シノプシスの非常に効率的でコンパクトなVCD+バイナリ・ダンプ・フォーマットもサポートしています。また、VCSは、HDL混在 (SystemVerilog、VHDL、Verilog) とSystemC/C++言語の洗練されたデバッグ・ウィンドウ、対象の信号およびシーケンスの手作業によるトレースの自動化を可能にする次世代のアサーション・トレース機能を備えています。対話型作業やバッチ制御、および表示とメニューのカスタマイズにはTclをサポートしています。コマンド言語が統一されており、すべてのツール、言語、環境で共通のコマンド・セットを利用できるため、複数の設計チームで新しいテクノロジーを容易に採用することができます。

検証メソドロジ

VCSのパワフルなテストベンチ・エンジンは、「Verification Methodology Manual for SystemVerilog」で定義されている、実績あるVMM検証メソドロジとレイヤード・テストベンチ・アーキテクチャにより補完されており、検証エンジニアは、習熟度に関わ

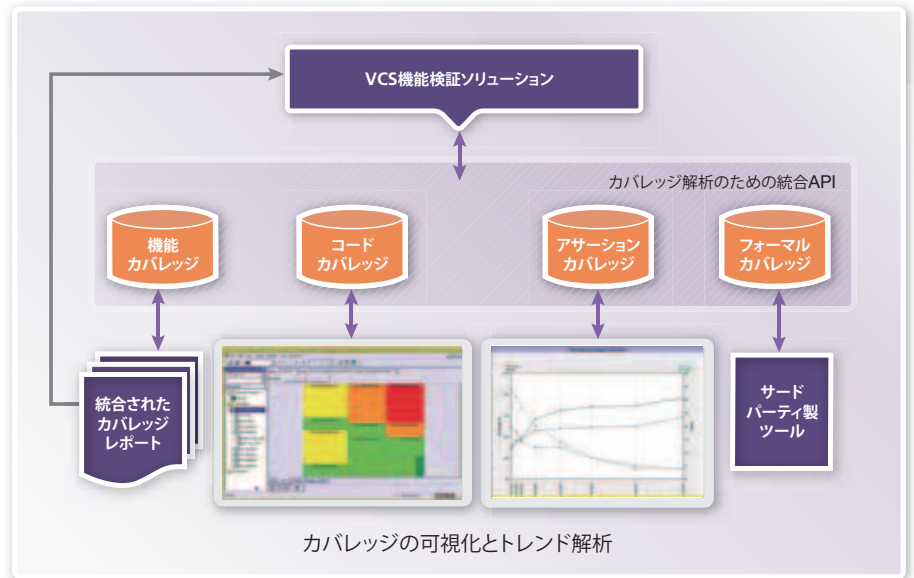


図2: 統合カバレッジ解析

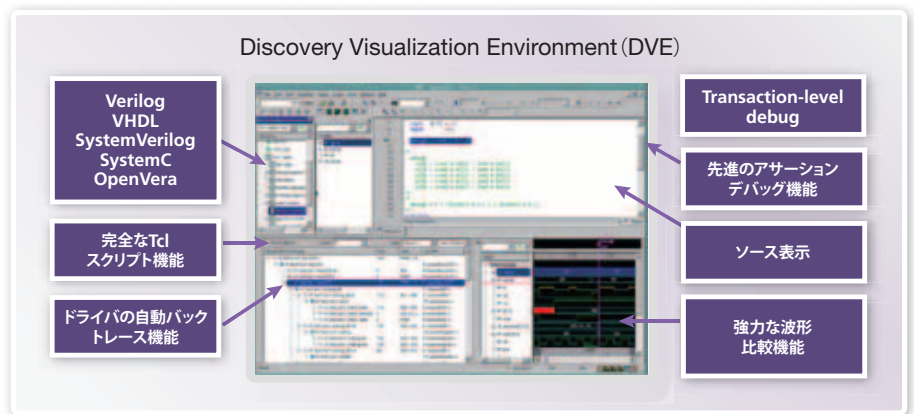


図3: Discovery Visualization Environment (DVE)

らず、再利用可能で効率的な先進の検証環境を迅速に構築して活用することができます。検証のエキスパートによって開発され活用されているこの手法により、ユーザーは業界のベスト・プラクティスを導入しながらVCSソリューションで最大限の成果をあげることができます。このほか、VMMメソドロジではレジスタ・アブストラクション・レイヤ (RAL) をはじめ、強力な検証環境のセットアップに必要な時間を短縮するためのアプリケーションが多数提供されています。VCSにはすべてのVMMアプリケーションが含ま

れ、詳細なリファレンス・マニュアルやサンプルも付属しています。VCS検証ライブラリは、オブジェクト・インターフェイスやシナリオ・ジェネレータを含め、VMMメソドロジを幅広くサポートしています。また、VCSは、Accellera Universal Verification Methodology (UVM) ベースクラス・ライブラリならびにVMM/UVMインターオペラビリティ・キットに対応しています。これにより、VMMとUVMを同時に使用することができます。

SYNOPSYS®

Predictable Success

日本シノプシス合同会社

〒158-0094 東京都世田谷区玉川2-21-1 二子玉川ライズ オフィス TEL.03-6746-3500(代) FAX.03-6746-3535

〒531-0072 大阪府大阪市北区豊崎3-19-3 ピアスタワー13F TEL.06-6359-8139(代) FAX.06-6359-8149