

# XAシミュレーション・テクノロジー

高速/高精度な検証を実現するHSIMとNanoSimのアドオン・オプション

## 概要

SoCの低消費電力化と高性能化に伴い、ミックスドシグナルSoCデザインを構成する回路の中でアナログ機能占める割合が増加しています。増加の一途をたどっている不良原因は、仕様に則ったアナログ回路のチューニングが不十分であることです。ナノメータ・マスクセットのコスト増により、リスピンのたびにアナログチューニングを実行することはできません。したがって、初回テープアウトの前に、アナログ回路が仕様を満たし、ミックスドシグナル・デザインで高い歩留まりが得られることを検証する必要があります。ポストレイアウトで発生する寄生容量を含めて、プロセス・バリエーションを考慮したアナログ/ミックスドシグナル・デザインの検証を実行するには、処理容量が大きく、ハイパフォーマンスでSPICEレベルの精度を持つシミュレーション能力が求められています。

XAシミュレーション・テクノロジーは、FastSPICEのパフォーマンスと処理容量を維持しつつ、かつてないTTR (Time to Result = 結果達成までの期間) でSPICEレベルの高精度を実現する、次世代のトランジスタレベル・シミュレーション・エンジンです。ダイナミック・パーティショニングやオート・ディテクション (自動検出) をはじめとする特許出願中の膨大な革新的技術は、SPICEレベルの精度を保ちながら、チューニングを行わなくても、SPICEに比べて50倍以上のパフォーマンス向上を実現します。XAシミュレーション・テクノロジーは、チューニングを行わずにSPICEレベルの精度を達成したいというNanoSimおよびHSIMのユーザのニーズに応えるため、NanoSimおよびHSIMのアドオン・オプションとして開発された、フル機能のスタンドアロン・トランジスタレベル・シミュレーション・エンジンです。

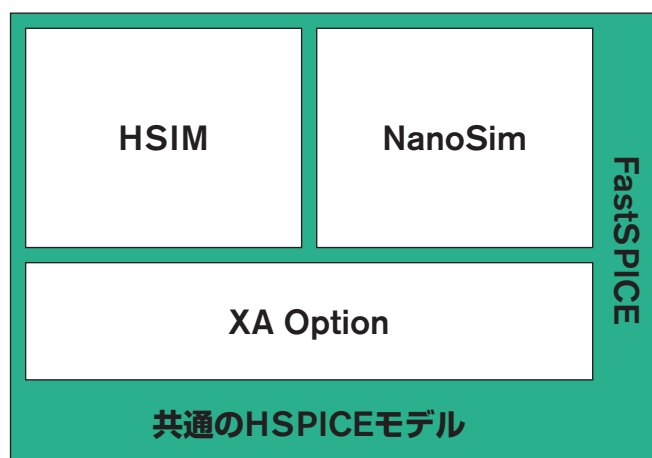


図1：シノプシスの包括的FastSPICE製品群

	XA	FastSPICE	SPICE
Phase Lock Loop	2.5 day	~24 day	N/A
Switching Regulator	48 min	4.1 h	24 h
Driver	58 min	5.4 h	14.1 h
Charge Pump	3 min	4 h	13 h

XA実行時間の比較

表1：アナログ&amp;ミックスドシグナル・デザインのシミュレーション時間の短縮

### 主なメリット

- あらゆるタイプの回路で今までにないTTRを実現
- SPICEレベルの精度の結果を実現しつつFastSPICEクラスの処理速度/容量を達成
- グローバル設定とローカル設定が可能な使い勝手の良い精度セッティングにより、予測可能/再現可能な結果を生成
- SPICE同様の最高精度のセッティング
- 独自の階層データ記憶構造による優れた処理容量
- 回路の識別に適した革新的ビルトイン・シミュレーション情報解析機能
- 90nm以降のデザインに最適なシミュレーション・テクノロジー
- ポストレイアウト寄生容量も含めてAMS SoCデザインのフルチップ機能検証を実現
- ポストレイアウト寄生データベースのシミュレーションに対応した処理容量を可能にする先進のアレイ/RC最適化手法

### アナログ/ミックスドシグナル・デザインのシミュレーション時間の短縮

XAシミュレーション・テクノロジーは、理想的な電力供給がなされていないアナログ/ミックスドシグナル回路のシミュレーションに非常に適しています。低消費電力デザインには、厳密に規定された電源レールが必要であり、ミックスドシグナル・デザインのスタートアップを検証するには長時間にわたる過渡シミュレーションが必要です。XAシミュレーション・テクノロジーとSPICEレベルの高精度/ハイパフォーマンス過渡解析により、スタートアップ時間の長い大規模アナログデザインのシミュレーションが可能になります。また、XAシミュレーション・テクノロジーは、PLLのロック時間やスイッチド・キャパシタ回路のシミュレーションにも適しています。

### ポストレイアウト寄生の検証

XAシミュレーション・テクノロジーには、各種のバックアノテーション・オプションが組み込まれています。完全に抽出済みの寄生データベースは、ダイレクトにシミュレーションを行うことも、理想的なスキマティック・ネットリストの任意の階層レベルにバックアノテーションすることも可能です。また、Star-RCXTとの統合により、効率的な抽出/バックアノテーション・フローを実現でき、ポストレイアウト寄生データを取り込みながらのデザインの検証を加速します。

### SPICE精度の確実なサインオフ

XAテクノロジーでは、ニュートン・ラブソン法やLTEといったSPICEアルゴリズムを全面的にサポートすることにより、SPICEレベルの高精度を達成します。設計者は、検査対象ブロックが設計仕様を満たしているかどうかをSPICEレベルの精度で最適なシミュレーション時間内に検証するため、さまざまな精度セッティングでシミュレーションを実行することができます。

### HSPICE共通モデルライブラリ

シノプシスのトランジスタレベル・シミュレータは、すべて共通のHSPICEモデルライブラリを使用しています。つまり、シノプシスのすべてのトランジスタレベル・シミュレータは同じモデル方程式を使用していますので、モデルの相関性の問題は発生しません。共通ライブラリにより、すべてのシミュレータは全く同時に最新のモデルを選択することができます。

### XA Optionがサポートするフォーマット

- ネットリスト・フォーマット：  
シノプシス HSPICE、メンター・グラフィックス社 Eldo
- シミュレーション・モデル：  
HSPICEモデルライブラリ、Eldoモデル
- 寄生RCネットリスト・フォーマット：  
SPF、DPF、SPEF
- 出力フォーマット：  
OUT、WDB、FSDB
- 入力フォーマット：  
VCD、VEC Stimulus
- コマンド・スクリプト：  
TCL

### プラットフォームのサポート

- SUN 32/64
- LINUX 32
- AMD 64

### 詳しい情報

XAシミュレーション・テクノロジーの詳細につきましては、日本シノプシス(株)のホームページ<http://www.synopsys.co.jp>をご覧ください。弊社までお問い合わせください。

**SYNOPSYS**<sup>®</sup>

Predictable Success

### 日本シノプシス株式会社

〒140-0014 東京都品川区大井1-28-1 住友不動産大井町駅前ビル TEL.03-5746-1500(代) FAX.03-5746-1550  
〒531-0072 大阪府大阪市北区豊崎3-19-3 ピアスタワー13F TEL.06-6359-8139(代) FAX.06-6359-8149